

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57-193842

⑬ Int. Cl.³
 G 06 F 9/38

識別記号

府内整理番号
 6745-5B

⑭ 公開 昭和57年(1982)11月29日

発明の数 1
 審査請求 有

(全 4 頁)

⑮ リクエスト・コンフリクト検出方式

立製作所神奈川工場内

⑯ 出願人 株式会社日立製作所
 東京都千代田区丸の内1丁目5
 番1号

⑰ 特願 昭56-76669

⑰ 代理人 弁理士 薄田利幸

⑱ 出願 昭56(1981)5月22日

⑲ 発明者 松尾寿久
 秦野市堀山下1番地株式会社日

明細書

発明の名称

リクエスト・コンフリクト検出方式

特許請求の範囲

1. 命令の前処理をバイオペランドアドレッセで行なう前処理ユニットを有するデータ処理装置において、該前処理ユニットで前処理中のストア命令がバイオペランドアドレッセの特定の各ステージに存在するか否かをそれぞれ表示する表示子群と、該特定の各ステージにある命令のオペランドアドレッセと該前処理ユニットで前処理を開始する命令のオペランドアドレッセとを比較する比較回路群と、該表示子群の状態にしたがつて該比較回路を選択する選択回路とを具備し、該選択回路で選択された比較回路の出力によつて、前処理を開始したオペランドまたは命令の読み出しが必要な命令と、それに先行するストア命令とのリクエスト・コンフリクトを検出するリクエスト・コンフリクト検出方式。

発明の詳細な説明

本発明は、バイオペランドアドレッセで命令の前処理を行なう前処理ユニットを有するデータ処理装置に関するもので、特に前処理ユニットにおけるストア命令と、後続のロード命令または分岐命令との間のリクエスト・コンフリクトを検出する方式に関する。

命令の前処理をバイオペランドアドレッセで行なう場合、命令読み出しとストアとのコンフリクトとしては、(1)現在読み出そうとしている命令読み出しと先行ストアとのコンフリクト (ISC : Instruction Store Conflict) と、(2)既に命令読み出しバッファへ格納されている命令と現在のストアとのコンフリクト (PSC : Program Store Conflict) とがあり、また、(3)命令の前処理でオペランド読み出しが行なうときに、先行のストアとの間で生じるコンフリクト (OSC : Operand Store Conflict) がある。従来は、これら3種のリクエスト・コンフリクトを、別々のアドレス比較回路を用いて検出する方式を採用していた。このため、リクエスト・コンフリクト検出のためのハードウェアが増加し、またコンフリクトの種類毎に異なる制御

BEST AVAILABLE COPY

が必要で制御の複雑化を招いていた。

したがつて本発明の目的は、共通の回路でかつ同一の制御で OSC と ISC の両方のコンフリクトを検出できる方式を提供することにある。

しかして本発明によるリクエスト・コンフリクト方式は、前処理中のストア命令がバイブラインの特定の各ステージに存在するかそれぞれ表示する表示子群と、これら特定の各ステージにある命令のオペランドアドレスと、前処理を開始する命令のオペランドアドレス（ロード命令であればオペランドアドレスだが、分岐命令であれば分岐先アドレスである。以下同様）とをそれぞれ比較する比較回路群と、該表示子群の状態にしたがつて該比較回路を選択する選択回路とを具備し、この選択された比較回路の出力によつて、オペランドまたは命令の既出しが必要な命令と、それに先行するストア命令とのリクエスト・コンフリクトを検出することを特徴とするものである。

次に本発明の一実施例について説明するが、ここでは下記の(1), (2)の前提を置くことにする。

なる。

ここで、デコードされた命令がストア命令で、ライン 4 の値が "1" であれば、A ステージの開始信号が前処理バイブルайн制御部 4 よりライン 1 を介して供給された時に、ストア命令が A ステージにあるということを表示するフリップフロップ 7-1 がセットする。その後、前処理バイブルайн制御部 4 より L ステージの開始信号がライン 8 を介して供給されると、ストア命令が L ステージにあるということを表示するフリップフロップ 7-2 がセットし、フリップフロップ 7-1 はリセットされる。このフリップフロップ 7-2 は、前処理バイブルайн制御部 4 が L ステージを開始する時リセットされる。すなわちフリップフロップ 7-1 および 7-2 は、ストア命令が A ステージおよび L ステージにある間のみ、それぞれ "1" の状態を保持し、それ以外は "0" となる。

一方、命令レジスタ 1 の他の部分は、ライン 9 を介してオペランドアドレス加算部 3 へ送られ、そこでオペランドアドレスが生成される。このオペ

特開昭57-193842 (2)

(1) 命令の前処理バイブルайнは、第 1 図に示す様に 1 つの命令を

D ステージ : Decode & Address Generation

A ステージ : Address Translation

L ステージ : Load from BS

E ステージ : Execution

の順で実行し、オペランド既出しは A ステージで行う。

(2) リクエストの処理の優先順位は、ストア、オペランド既出し、命令既出しの順とする。

第 2 図は本発明の一実施例を示すブロック図である。

1 は命令レジスタであり、命令前処理バイブルайн制御部 4 からライン 9 を介して D ステージ開始信号が供給されると、前処理を行うべき命令が順次格納される。命令レジスタ 1 の命令コード部はライン 6 を経由して命令デコード 2 へ送出され、デコード 2 はその命令のタイプを出力する。このデコード出力 6 は、ストア命令の時はライン 4 が "1" となり、ロード命令の時はライン 4 が "0" と

ランダアドレスは、ライン 1 を経由して前処理中アドレスレジスタ 5-1 及び比較回路 6-1, 6-2 へ送出される。クリップフロップ 7-1, 7-2 と同様に、A ステージ開始時にライン 1 上のオペランドアドレスがアドレスレジスタ 5-1 にセットされ、その内容が L ステージ開始時にアドレスレジスタ 5-2 にセットされる。つまり、ストア命令が A ステージにある時は、そのストア命令のオペランドアドレスがアドレスレジスタ 5-1 に、L ステージにある時はアドレスレジスタ 5-2 にそれぞれ保持されていることになる。

なお、これらアドレスレジスタ 5-1 と 5-2 は、前処理バイブルайнが A ステージから L ステージ、または L ステージから E ステージへ移る時に、内容をクリアする必要はない。

比較回路 6-1 は、A ステージにある命令のオペランドアドレス (5-1) と、D ステージにある (デコードを開始した) 後続の命令のオペランドアドレス (6-1) との比較を行う。比較回路 6-2 は、L ステージにある命令のオペランドアドレス (5-

特開昭57-193842 (3)

ー 2) と、 D ステージにある命令のオペランドアドレス(i)との比較を行なう。

さて、ストア命令が A ステージあるいは B ステージにある時(フリップフロップ 7-1 または 7-2 が "1" の時)に、ロード命令が D ステージに出現したとしよう。

もし、 A ステージまたは B ステージにあるストア命令のオペランドアドレス(5-1 または 5-2)が、 D ステージで生成されたロード命令のオペランドアドレス(i)と不一致であれば、アンドゲート j, k はいずれも入力条件が成立しないため、フリップフロップ 8 はリセットされたままであり、ラインロは "0" である。したがつて、ロード命令の前処理の進行はブロックされず、第 1 図の (4) のように各命令の実行動作が進行する。

しかし、もし A ステージにあるストア命令と D ステージに出現したロード命令のオペランドアドレス同志が一致する(OSC の発生)と、アンドゲート j の入力条件が成立する(比較回路 6-1 が選択される)。同時に、アンドゲート m の入力

によつて第 1 図の (4) のようにブロックされることになる。

この様にして、 OSC を検出した時は、ロード命令のオペランド読出しステージである A ステージの終了を先行ストアの完了までブロックすることにより、ロード命令のオペランド読出しを正しく動作させる OSC 处理を行う。

ここまででは、ストア命令とロード命令の OSC の検出とその処理に限つて説明した。しかし、ロード命令を分岐命令に置き換えた場合、分岐先読出しステージと同じく A ステージに付属させることにより、 ISC も OSC と共通の回路で検出し同様に処理できることは、以上の説明から明らかである。

尚、前記実施例ではリクエスト処理はストアを優先すると仮定したので、 B ステージにあるストア命令のストアアドレスとの比較は省略した。

以上に述べたように、本発明によれば OSC と ISC を共通の回路で検出し、それらを同一の処理として制御できるので、ハードウェア量の削減

条件が成立するため、アンドゲート m を介してコンフリクト検出用のフリップフロップ 8 がセットされる。このフリップフロップ 8 がセットされたと、ラインロが "1" になり、前処理バイブライン制御部 4 はコンフリクトが検出されたと判断し、 D ステージにあるロード命令の前処理の進行をブロックする。その後、先行するストア命令が B ステージ、 C ステージへと進み、ストアリクエストを発行する時に、マイクロプログラムデコーダ 9 よりラインロを経由してフリップフロップ 8 がリセットされると、前処理バイブライン制御部 4 はロード命令に対する前処理バイブラインのブロックを解除する。したがつて、この場合の前処理の進行状況は第 1 図の (4) のようになる。

同様に、ストア命令が B ステージにあるときに前処理を開始したロード命令との間で OSC が発生すると、アンドゲート m の入力条件が成立して(比較回路 6-2 が選択され)、フリップフロップ 8 が "1" にセットされる。そして、ロード命令の前処理の進行は、前処理バイブライン制御部 4

および制御の単純化を図ることができるという効果が得られる。

図面の簡単な説明

第 1 図はコンフリクト処理の説明図、第 2 図は本発明の一実施例のブロック図である。

1 … 命令レジスター、 2 … 命令デコーダ、 3 … オペランドアドレス生成部、 4 … 前処理バイブライン制御部、 5-1, 5-2 … アドレスレジスター、 6-1, 6-2 … 比較回路、 7-1, 7-2, 8 … フリップフロップ、 9 … マイクロプログラムデコーダ、 j, k, l, m … アンドゲート。

代理人弁理士薄田利

第 2 図

第 1 図

(4)	ストップ命令 ロード命令	
(5)	ストップ命令 ロード命令	
(6)	ストップ命令 ロード命令	

